

me

04/28
7/16/01
#4

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant: Hoon HUH et al.

Docket No: 678-682

Serial No.: 09/888,915

Date: July 24, 2001

Filed: June 25, 2001

For: **METHOD AND APPARATUS FOR
TRANSMITTING DATA RATE
CONTROL INFORMATION IN
MOBILE TELECOMMUNICATION
SYSTEM FOR PACKET DATA
TRANSMISSION**

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Enclosed is a certified copy of Korean Appln. No. 35165/2000 filed
on June 24, 2000 from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

A handwritten signature in cursive script, reading "Paul J. Farrell".

Paul J. Farrell
Registration No. 33,494
Attorney for Applicants

DILWORTH & BARRESE, LLP
333 Earle Ovington Boulevard
Uniondale, New York 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8 (a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner of Patents and Trademarks, Washington, D.C. 20231 on July 24, 2001.

Dated: July 24, 2001

A handwritten signature in cursive script, reading "Paul J. Farrell".

Paul J. Farrell



99821-49

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 35165 호
Application Number

출원년월일 : 2000년 06월 24일
Date of Application

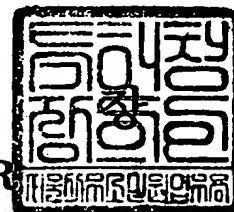
출원인 : 삼성전자 주식회사
Applicant(s)



2001 년 06 월 23 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.06.24
【국제특허분류】	H04J
【국제특허분류】	H04L
【발명의 명칭】	고속 데이터 전송을 위한 통신시스템의 전송율제어 정보 전송 방법 및 장치
【발명의 영문명칭】	DATA RATE CONTROL INFORMATION TRANSMISSION METHOD AND APPARATUS IN HIGH DATA RATE COMMUNICATION SYSTEM
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	1999-006038-0
【발명자】	
【성명의 국문표기】	허훈
【성명의 영문표기】	HUH,Hoon
【주민등록번호】	740817-1448823
【우편번호】	306-190
【주소】	대전광역시 대덕구 석봉동 191-9
【국적】	KR
【발명자】	
【성명의 국문표기】	윤유석
【성명의 영문표기】	YUN,Yu Suk
【주민등록번호】	711019-1462135
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 954-21번지 삼안타운 B-201
【국적】	KR

【발명자】

【성명의 국문표기】 윤순영
【성명의 영문표기】 YOON, Soon Young
【주민등록번호】 660112-1552723
【우편번호】 135-240
【주소】 서울특별시 강남구 개포동 185 주공아파트 607동 1306호
【국적】 KR

【발명자】

【성명의 국문표기】 염재흥
【성명의 영문표기】 YEOM, Jae Heung
【주민등록번호】 690704-1074418
【우편번호】 135-281
【주소】 서울특별시 강남구 대치1동 도곡주공아파트 6동 201호
【국적】 KR

【발명자】

【성명의 국문표기】 양상현
【성명의 영문표기】 YANG, Sang Hyun
【주민등록번호】 720614-1836218
【우편번호】 133-072
【주소】 서울특별시 성동구 행당2동 340-42
【국적】 KR

【발명자】

【성명의 국문표기】 강희원
【성명의 영문표기】 KANG, Hee Won
【주민등록번호】 680119-1051636
【우편번호】 463-060
【주소】 경기도 성남시 분당구 이매동 아름 상호아파트 401-1503
【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인
 주 (인) 이권

【수수료】

【기본출원료】 20 면 29,000 원
【가산출원료】 27 면 27,000 원

1020000035165

2001/6/2

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	56,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

고속 데이터 전송을 위한 통신시스템에서 전송율제어(DRC) 정보를 송수신하는 방법 및 장치가 개시되어 있다. 본 발명은 HDR 시스템에서 순방향 링크의 데이터 전송율을 결정하기 위해 역방향으로 전송되는 DRC 정보를 스케줄링을 위해 필요한 시점에서만 전송하도록 하는 것이다. DRC 정보의 전송 제어는 DRI(DRC Request Indicator) 비트를 이용하여거나, 모든 사용자들의 프리앰블을 검출하거나, 사용자 자신의 프리앰블을 검출함으로써 가능하다. 또한 DRC 정보의 전송 제어와 함께 사용자들 사이에 파일럿 채널과 RRI 채널의 전송시점을 다르게 하도록 제어한다. 이러한 본 발명은 역방향 링크의 간섭부하를 줄이고, 시스템 용량을 증대시킨다.

【대표도】

도 4

【색인어】

HDR, 전송율제어(DRC) 정보, 간섭 부하, 시스템 용량

【명세서】**【발명의 명칭】**

고속 데이터 전송을 위한 통신시스템의 전송율제어 정보 전송 방법 및 장치 {DATA RATE CONTROL INFORMATION TRANSMISSION METHOD AND APPARATUS IN HIGH DATA RATE COMMUNICATION SYSTEM}

【도면의 간단한 설명】

도 1은 일반적인 HDR시스템에서 역방향 링크를 통해 전송되는 파일럿 채널, DRC 채널, RRI 채널들에 대한 천공 패턴을 보여주는 도면.

도 2는 일반적인 HDR시스템의 순방향 링크의 전송율에 따른 데이터 패킷의 길이를 보여주는 도면.

도 3은 본 발명의 제1 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면.

도 4는 본 발명의 제1 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면.

도 5는 본 발명의 제1 실시 예에 따른 기지국의 송신기 구조를 보여주는 도면.

도 6은 본 발명의 제1 실시 예에 따른 단말기의 송신기 구조를 보여주는 도면.

도 7은 본 발명의 제2 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면.

도 8은 본 발명의 제2 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면.

도 9는 본 발명의 제2 실시 예에 따른 단말기의 송신기 구조를 보여주는 도면.

도 10은 본 발명의 제3 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면.

도 11은 본 발명의 제3 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면.

도 12는 본 발명의 제3 실시 예에 따른 단말기의 송신기의 구조를 보여주는 도면.

도 13은 본 발명의 제4 실시 예에 따라 DRC 채널이 전송되지 않는 구간에서 파일럿 및 RRI 채널의 전송 시점을 보여주는 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 고속 데이터 전송을 위한 통신시스템에 관한 것으로, 특히 전송율제어(DRC) 정보를 전송하는 방법 및 장치에 관한 것이다.

<15> 최근에 부호분할다중접속(Code Division Multiple Access)방식의 이동통신시

시스템(이하 'CDMA시스템'이라 칭한다)에서 고속 데이터의 전송을 가능하게 하는 많은 연구가 이루어지고 있다. 고속 데이터 전송을 위한 채널 구조를 가지는 대표적인 이동 통신 시스템이 소위 'HDR(High Data Rate)(혹은 HDR시스템)'이다. 상기 HDR시스템은 IS-2000시스템의 데이터 통신 보안을 위해 3GPP2(3rd Generation Partnership Project 2)에서 제안된 HDR규격의 이동통신시스템이다.

<16> 상기 HDR시스템은 채널의 상태에 따라 부호화율과 변조방식을 바꾸어 데이터 전송율을 조절하는 링크적응(Link Adaptation)방식을 사용한다. 상기 HDR시스템의 순방향 링크에서는 파일럿(Pilot) 채널, 순방향 MAC(Media Access Control) 채널, 순방향 트래픽(Traffic) 채널, 순방향 제어(Control) 채널이 시분할 다중화(TDM: Time Division Multiplexing)되어 전송된다. 링크적응방식을 사용한 순방향 트래픽 채널은 QPSK(Quadrature Phase Shift Keying), 8PSK(8-ary Phase Shift Keying) 및 16QAM(16-ary Quadrature Amplitude Modulation)등 3가지의 변조 방식과, 1/4, 3/8 및 1/2의 3가지 부호화율, 그리고 패킷이 반복하여 전송되는 슬롯수의 조합으로 13가지의 전송방식에 따른 데이터 전송율로 전송이 가능하다.

<17> 순방향 데이터 전송율의 선택을 위해 기지국은 단말기가 순방향 파일럿 채널의 수신신호 대 간섭비(Carrier to Interference ratio: 이하 'C/I'라 칭함)를 측정하고 다음 채널의 변화를 예측하여 순방향 트래픽 채널의 데이터 전송율을 요구하도록 한다. 이러한 요구, 즉 상기 단말기가 데이터 전송율을 요구하기 위해 역방향 링크에서 상기 기지국으로 귀환 전송되는 채널은 소위 데이터전송율제어(Data Rate Control: 이하 'DRC'라 칭함) 채널이라고 불리운다. 상기 단말기는 상기 DRC 채널을 통해 순방향 트래픽 채널의 데이터 전송율 및 8개의 유효 섹터 중 수신기에 데이터를 전송할 섹터를 요구한다. 즉, 상기 단말

기는 유효 섹터들의 파일럿 채널 C/I를 측정하여 데이터 전송율 및 섹터를 결정하고, 이렇게 결정된 데이터전송율 정보는 4비트의 DRC 심볼로, 셀 선택(Cell Selection)정보는 8비트의 직교(왈시) 확산부호를 결정하는 3비트 색인(Index)으로 DRC 정보를 구성하여 상기 기지국으로 전송한다.

<18> 도 1은 일반적인 HDR시스템에서 역방향 링크를 통해 전송되는 채널들간의 관계를 보여주는 도면으로, 역방향 링크를 통한 파일럿 채널 및 DRC 채널, RRI(Reverse Rate Indicator) 채널의 천공 패턴을 보여주고 있다.

<19> 상기 도 1에서, RRI 채널은 역방향 트래픽 채널의 데이터 전송율을 표시하는 채널이다. DRC 채널은 전송한 바와 같이 단말기가 기지국으로 DRC 정보를 전송하는 채널이다. 상기 DRC 채널로 전송되는 DRC 심볼은 데이터 전송율에 따라 (8,4,4) 양직교 부호의 각 부호와 1대 1로 대응된다. 8비트 DRC 심볼의 각 비트는 한번씩 반복되고 섹터를 표시하는 8비트 왈시 부호에 의해 확산된다. 다시 4비트 왈시 부호로 확산되어 DRC 심볼은 총 512 칩이 되고 다시 한번 반복되어 슬롯마다 DRC 채널에 할당된 1024 칩을 채운다. DRC 칩은 64칩씩 16개의 TDM 슬롯으로 나뉘어 도 1과 같이 천공된 후 파일럿 채널 및 RRI 채널과 함께 시분할 다중되어 전송된다. 기지국이 DRC 채널을 통해서 섹터내의 단말기들이 요구하는 데이터 전송율을 수신하면, 기지국은 각 사용자의 패킷 데이터량 및 요구하는 데이터 전송율에 따라 섹터내의 사용자 데이터에 대해 스케줄링(Scheduling)하여 다음 슬롯에서 데이터 패킷을 전송받을 단말기를 선택한다. 기지국은 다음 슬롯부터 한 패킷구간 동안 선택된 단말기에 그 단말기가 요구한 데이터 전송율로 데이터 패킷을 송신한다.

<20> 도 2는 일반적인 HDR시스템의 순방향 링크의 전송율에 따른 데이터 패킷의 길이를

보여주는 도면이다.

<21> 상기 도 2를 참조하면, 순방향 트래픽 채널은 단말기가 요구한 데이터 전송율에 따라 다른 패킷 길이를 가질 수 있다. 한 패킷의 전송이 끝나면 기지국은 이때 섹터내의 단말기들로부터 수신된 DRC 정보를 참조하여 다시 스케줄링하여 다음 슬롯부터 순방향 트래픽 채널로 서비스 받을 단말기와 그 단말기의 데이터 전송율을 결정한다. 상기 기지국은 패킷을 수신할 단말기와 그 패킷의 길이를 알려주기 위해 각 패킷의 시작부분에 프리앰블(Preamble)을 전송한다. 프리앰블은 각 단말기에 할당된 MAC 색인에 따라 왓시 부호가 곱해지며 패킷의 데이터 전송율에 따라 반복횟수가 결정된다. 하기의 <표 1>은 패킷 데이터 전송율에 따른 반복횟수 및 칩수를 나타낸다. 단말기는 자신에게 할당된 MAC 색인에 대한 왓시 부호로 프리앰블을 탐색하고 데이터 전송율을 확인한다.

<22> 【표 1】

데이터 전송율	프리앰블 반복횟수	칩수
38.4 kbps	32	1024
76.8 kbps	16	512
102.4 kbps	12	384
153.6 kbps	8	256
204.8 kbps	6	192
307.2 kbps	4	128
614.4 kbps	2	64
921.6 kbps	2	64
1228.8 kbps	2	64
1843.2 kbps	2	64
2457.6 kbps	2	64

<23> 이와 같이, HDR시스템의 순방향 링크에서 한 패킷의 전송이 종료하고 새로운 패킷을 전송할 때에 기지국은 여러 사용자의 패킷 데이터에 대해 스케줄링을 시행한다. 이를 위해 기지국은 패킷 전송의 종료 직전에 각 단말기의 DRC 정보를 참조한다. 이때 DRC

정보는 역방향 링크에서 매 슬롯마다 전송된다는 사실에 유의하여야 한다. 사실, 스케줄링이 행해지지 않을 때는 DRC 정보는 필요하지 않지만, DRC 채널을 통한 DRC 정보의 전송은 계속적으로 이루어진다. 이러한 DRC 채널을 통한 DRC 정보의 계속적인 전송은 역방향 링크의 자원을 계속하여 점유하는 것이고, 결과적으로는 역방향 링크의 시스템 용량을 감소시킨다는 문제점이 있다. 특히, 순방향 링크에서 낮은 데이터 전송율(예: 도 2의 38.4kbps, 76.8kbps)로 데이터를 전송할 경우 이러한 문제점은 커진다. 왜냐하면, 순방향 링크에서 어느 한 패킷이 전송되는 동안 역방향 링크의 DRC 정보는 그 패킷이 종료하기 직전에 시행되는 스케줄링 시점에서 사용되므로 그 이전의 DRC 정보는 필요로 하지 않는다. 따라서, 낮은 데이터 전송율로 데이터를 전송하는 경우는 긴 패킷을 전송하는 경우(슬롯의 수가 증가하는 경우)에 해당하므로 이로 인해 DRC 정보를 필요로 하지 않는 슬롯의 수는 늘어날 것이다. DRC 채널의 지속적인 전송은 역방향 링크에서의 DRC 채널에 의한 간섭 부하를 매우 크게 하므로, DRC 정보가 필요하지 않은 경우에는 DRC 채널을 전송하지 않는다면 역방향 링크에서 간섭을 줄일 수 있을 것이고, 역방향 링크의 시스템 용량을 증대시킬 수 있을 것이다.

【발명이 이루고자 하는 기술적 과제】

- <24> 따라서 본 발명의 목적은 HDR시스템에서 순방향 링크의 데이터 전송율을 결정하기 위해 역방향으로 전송되는 DRC 정보를 스케줄링을 위해 필요로 하는 시점에서만 전송하도록 하는 방법 및 장치를 제공함에 있다.
- <25> 본 발명의 다른 목적은 HDR시스템에서 역방향 링크의 간섭부하를 줄이는 방법 및 장치를 제공함에 있다.

- <26> 본 발명의 또 다른 목적은 HDR시스템에서 역방향 링크의 시스템 용량을 증대시키는 방법 및 장치를 제공함에 있다.
- <27> 본 발명의 또 다른 목적은 HDR시스템의 역방향 링크에서 DRC 정보를 전송하지 않는 시점에서 발생하는 간섭 부하를 줄이는 방법 및 장치를 제공함에 있다.
- <28> 이러한 목적들을 달성하기 위한 본 발명은 HDR 시스템에서 순방향 링크의 데이터 전송율을 결정하기 위해 역방향으로 전송되는 DRC 정보를 스케줄링이 필요한 시점에서만 전송되도록 하는 것이다. DRC 정보의 전송 제어는 DRI(DRC Request Indicator) 비트를 이용하거나, 모든 사용자들의 프리앰블을 검출하거나, 사용자 자신의 프리앰블을 검출함으로써 가능하다. 또한 DRC 정보의 전송 제어와 함께 사용자들 사이에 파일럿 채널과 RRI 채널의 전송시점을 다르게 하도록 제어한다. 이러한 본 발명은 역방향 링크의 간섭 부하를 줄이고, 시스템 용량을 증대시키는 이점이 있다.

【발명의 구성 및 작용】

- <29> 이하 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조번호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호들 및 부호들로 나타내고 있음에 유의해야 한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- <30> 우선 본 발명은 HDR 시스템에서 순방향 링크의 데이터 전송율을 결정하기 위해 역

방향으로 전송되는 DRC 정보를 스케줄링이 필요한 시점에서만 전송되도록 하는 것임을 밝혀두는 바이다. 즉 본 발명은 HDR 시스템에서 기지국이 새로운 패킷을 전송할 필요가 있을 때 이전 패킷의 전송이 종료되기 직전의 시점에서만 단말기가 DRC 정보를 전송하도록 하는 것이다. 이러한 본 발명에 따르면, DRC 정보의 전송이 필요한 시점인지의 여부에 대한 판단이 이루어지고, 상기 판단 결과에 따라 DRC 정보의 전송이 필요한 시점에서만 DRC 정보를 선택적으로 전송한다. 또한 본 발명에 따르면, DRC 정보의 전송이 이루어지지 않는 시점에서도 역방향 링크에서의 간섭 부하를 줄이기 위해 사용자간 파일럿 채널과 RRI 채널의 전송 시점을 달리한다. 이러한 본 발명에 따른 동작은 하기와 같은 실시예들로 구분되어 설명될 것이다. 하기의 <실시예 1> 내지 <실시예 3>에서는 DRC 정보의 전송이 필요한 시점인지의 여부에 대한 판단 및 그 판단 결과에 따라 DRC 정보를 선택적으로 전송하는 동작이 설명될 것이다. 하기의 <실시예 4>에서는 <실시예 1> 및 <실시예 2>에 추가하여 사용자간 파일럿 채널과 RRI 채널의 전송 시점을 달리함으로써 역방향 링크에서의 간섭 부하를 줄이는 동작이 설명될 것이다.

<31> 실시 예 1

<32> 도 3은 본 발명의 제1 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면이다. 이 실시예는 DRI(DRC Request Indicator) 비트를 도입하여 DRC 채널을 제어하는 것을 특징으로 한다. 여기서는 76.8 kbps의 전송율에 대해서 국한하여 나타내고 있으나 모든 전송율에 대해서도 일반화가 가능하다는 사실에 유의할 필요가 있다.

<33> 상기 도 3을 참조하면, 본 발명의 기지국(AN: Access Network)은 전체 사용자(단말기)(AT: Access Terminal)들에게 역방향 DRC 채널의 전송이 필요한지 여부를 알려주어 전체 사용자의 DRC 채널의 전송을 제어한다. 이와 같은 정보를 알려주기 위해 기지국은 MAC 채널을 통해 DRI 비트를 전송한다. 상기 DRI 비트는 미리 설정된 슬롯 구간 뒤에서 스케줄링을 위해 DRC 정보를 필요로 하는지 여부를 알려주는 정보이다. DRC 정보는 현재 순방향의 패킷이 상기 설정된 슬롯 구간 안에 종료하여 다음 슬롯부터 패킷을 전송받을 단말기와 전송율을 결정해야 할 경우에 필요로 한다. 따라서 상기 DRI 비트는 현재 순방향의 패킷이 상기 설정된 슬롯 구간 안에 종료할 경우에는 '1'의 값을 전송하고, 종료하지 않고 계속 전송될 경우에는 '0'의 값을 전송한다. 상기 설정된 슬롯 구간 안에 기지국이 DRC정보를 요청하고 요청한 정보가 기지국에 도착하여 이에 따라 데이터 전송율을 결정하는데 최소 2 슬롯 구간이 필요하므로 이후의 실시예에서는 미리 설정된 슬롯 구간을 2 슬롯으로 한다. 물론 필요에 따라 다른 값으로 설정할 수 있다.

<34> 도 4는 본 발명의 제1 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면으로, DRI 비트를 수신하여 단말기가 DRC 채널의 전송을 제어하는 알고리즘을 나타낸다.

<35> 상기 도 4를 참조하면, 단말기는 401단계에서 순방향 MAC 채널로 전송되는 DRI 비트를 읽어 들이고, 402단계에서 이 읽어들인 DRI 비트의 값이 '1'인지를 판단한다. 상기 읽어들인 DRI 비트가 '1'의 값을 가지는 것으로 판단되면, 단말기는 403단계에서 유효 섹터들의 파일럿 C/I를 각각 측정하고, 상기 측정 결과에 따라 404단계에서 가장 큰 C/I와 그 C/I에 해당하는 섹터를 결정하고, 405단계에서 상기 가장 큰 C/I를 DRC 심볼로 만들고, 406단계에서 이 DRC 심볼을 기지국으로 송신한다. 상기 406단계를 수행한 이후에는

407단계에서 다음 슬롯을 수신하고 401단계로 되돌아가 전술한 동작을 반복한다.

<36> 상기 402단계에서 DRI 비트값이 '0'인 것으로 판단되면, 단말기는 403단계 내지 406 단계의 동작을 수행하지 않고 바로 407단계로 진행함으로써 전술한 C/I 측정 및 DRC 심볼의 송신 동작을 생략하고, 다음 슬롯을 수신한다.

<37> 다시 도 3을 참조하면, n 번째 순방향 슬롯의 DRI 비트는 $n+1$ 번째 역방향 슬롯의 DRC 채널을 제어하고, 이 DRC 채널이 $n+2$ 번째 슬롯 구간에 도착하여 $n+3$ 번째 순방향 슬롯의 데이터 전송율을 결정한다. 즉, 새 패킷의 데이터 전송율을 결정하기 위해서는 패킷 종료 3 슬롯 전에 DRC정보를 요청하여야 스케줄링 시점에 DRC 정보를 전송받아 데이터 전송율을 결정할 수 있다. 따라서 기지국에서는 패킷 종료 3슬롯 전부터는 DRI 비트로 '1'의 값을 전송하고 그 이외의 슬롯에서는 '0'의 값을 전송한다. 따라서 패킷의 길이가 N 슬롯이라고 가정할 때 DRC 채널을 전송할 필요가 없는 슬롯의 수는 $N-3$ 이 된다. DRC 채널이 필요없는 슬롯의 비율은 $(N-3)/N$ 이 되며, 하기의 <표 2>는 데이터 전송율에 대한 DRC 채널이 필요없는 슬롯의 비율을 나타낸다. 패킷의 길이가 3 슬롯 이하인 경우에는 모든 슬롯에서 DRC 채널을 전송한다. 153.6 kbps 이하의 전송율과 긴 패킷 307.2 kbps 전송율에서는 슬롯 구간에서 DRC 채널 전송에 의한 간섭 부하를 줄일 수 있다.

<38>

【표 2】

데이터 전송율	패킷당 슬롯 수	DRC 채널이 필요하지 않은 슬롯 비율(%)
38.4 kbps	16	81.25
76.8 kbps	8	62.5
102.4 kbps	6	50
153.6 kbps Short	4	25
153.6 kbps Long	16	81.25
204.8 kbps	3	0
307.2 kbps Short	2	0
307.2 kbps Long	8	62.5
614.4 kbps	1	0
921.6 kbps	2	0
1228.8 kbps	1	0
1843.2 kbps	1	0
2457.6 kbps	1	0

<39> 도 5는 본 발명의 제1 실시 예에 따른 기지국의 송신기 구조를 보여주는 도면으로, 이 송신기는 DRI(DRC Request Indicator) 비트를 도입한 것을 특징으로 한다. 상기 도 5의 트래픽 채널은 부호화기 501에서 부호화되고, 변조기 502에서 전송율에 따라 QPSK, 8PSK, 16QAM 등으로 변조되며, 인터리버 503에서 인터리빙을 거친다. 인터리빙된 트래픽 채널 신호는 천공및반복기 504에서 데이터 전송율에 따라 천공 및 반복되어 디멀티플렉서 505에서 16개의 연속된 비트를 16개의 병렬채널로 전송한다. 16개 각 채널은 Walsh 버치리기 506에서 16개의 직교 Walsh 부호가 승산되어 합산기(Walsh Chip Level Summer) 507에서 칩 수준으로 합산된다. 프리앰블은 프리앰블반복기 511에서 데이터전송율에 따라 반복되어 Walsh확산기 512에서 역방향전력제어채널에 할당된 Walsh부호와 같은 Walsh부호에 의해 확산된다. 트래픽 채널과 프리앰블은 제1 멀티플렉서에서 프리앰블이 트래픽 채널의 시작구간에서 연결시켜 제2 멀티플렉서 562로 전달된다.

<40> 하기에서는 본 발명과 관련하는 DRI 비트에 대한 송신기 구조에 대해 상세하게 설명한다. 순방향 MAC 채널에서 파일럿과 FA 비트, RA 비트에 각각 Walsh 0번, 1번, 2번 부

호들이 곱해져서 전송되고, 나머지 29개의 왁시 부호들은 각 사용자들에 대한 역방향 전력제어 비트에 곱해져서 전송된다. RPC 비트를 위해 사용되는 29개의 왁시 부호들중 하나를 DRI 비트의 전송을 위해 할당하여 사용할 수 있다. 일 예로, DRI 비트의 전송을 위해 왁시 3번을 할당할 수 있다. 따라서 본 발명의 기지국 송신기의 구조에 따르면, FA 비트는 반복기 521에서 16번 반복되어 승산기 522에 의해 왁시 1번 부호가 승산되고, RA 비트는 반복기 531에서 RABLength 지수만큼 반복되어 승산기 532에 의해 RA 비트에 왁시 2번 부호가 승산되며, DRI 비트는 승산기 541에 의해 왁시 3번 부호가 승산된다. RPC비트는 RPC 채널 이득 제어기 551에 의해 RPC 채널 이득이 제어되고, 승산기 552에 의해 나머지 왁시 부호들이 상기 채널 이득 제어된 RPC 비트에 각각 승산된다. 상기 승산기들 522, 532, 541, 552의 출력들은 합산기 553에 의해 칩 수준으로 합산되고, 상기 합산기 553에 의한 합산 결과는 MAC채널반복기(Repetition Block) 554에 의해 4번 반복되어 순방향 채널의 각 슬롯의 두 번째 파일럿 버스트의 직전과 직후에 반씩 천공되어 전송된다. 제2 멀티플렉서는 제1 멀티플렉서 513의 출력과 MAC채널반복기 554의 출력을 도 3에 도시된 바와 같이 연결시킨다. 제2 멀티플렉서 출력은 복소확산기 503에서 복소확산되고 기저대역필터 504에서 필터링을 거쳐 전송을 위해 출력된다.

<41> 도 6은 본 발명의 제1 실시 예에 따른 단말기의 송신기 구조를 보여주는 도면으로, 이 송신기는 DRI 비트를 도입한 것을 특징으로 한다. 하기에서는 본 발명과 관련하는 DRI 비트를 사용하여 DRC 심볼을 전송할 것인지를 결정하는 송신기 구조에 대해서 상세하게 설명한다.

<42> 파일럿 채널은 승산기 601에 의해 왁시 0번 부호가 승산된다. RRI 채널은 8 직교변조기에 의해 8비트의 왁시심볼로 변조되고 왁시심볼반복기 612에서 64회 반복된 뒤 승산

기 613에 의해 왁시 0번 부호가 승산된다. 멀티플렉서(MUX) 631은 DRI 비트에 의해 DRC 채널의 전송 여부를 제어한다. 상기 멀티플렉서 631은 DRI 비트가 '1'이면 DRC 심볼(symbols)을 통과시키고, 이와 달리 DRI 비트가 '0'이면 DRC 심볼의 전송을 차단한다. 상기 DRC 심볼은 블록 부호화기(Block Encoder) 632에 의해 블록 부호화되고, 상기 블록 부호화기 632의 출력인 부호어(Code Word)는 반복기(Code Word Repetition Block) 633에 의해 반복된다. 상기 반복기 633의 출력은 일련의 승산기들 634, 635, 636에서 왁시 부호들과 승산된 후 멀티플렉서(MUX) 637에 의해 파일럿 및 RRI와 TDM되어 출력된다.

<43> 트래픽 채널은 부호화기 641에서 부호화되고 인터리버 642에 의해 인터리빙된후 이득승산기 643에서 데이터채널전력이득이 승산된다. 이득승산기 643의 출력은 승산기 644에 의해 왁시 2번 부호가 승산된다. 상기의 멀티플렉서 637 출력은 동위상(In-phase)축으로 전송되고 승산기 644의 출력은 직교위상(Quadrature)축으로 전송되어 각각 복소확산기 646에서 확산되어 기저대역필터 647에서 필터링된 후 전송을 위해 출력된다.

<44> 실시 예 2

<45> 도 7은 본 발명의 제2 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면이다. 이 실시 예에 따르면, 모든 단말기의 프리앰블을 검출하여 DRC 채널을 제어한다.

<46> 상기 도 7에 도시된 본 발명의 제2 실시 예는 전체 사용자가 다른 사용자의 프리앰블도 동시에 검출하면 순방향으로 전송되는 패킷의 길이를 알 수 있으므로 스케줄링이

필요한 시점까지 DRC 채널을 전송하지 않도록 하는 것이다. 각 사용자가 DRC 채널 전송이 필요한지 여부를 스스로 검사하여 DRC 채널을 제어함으로써 스케줄링 시점 이외에는 DRC 채널을 전송하지 않도록 한다. 프리앰블은 위에서 언급한 바와 같이 각 사용자에게 할당된 MAC 색인에 따라 왓시 부호가 곱해지며 패킷의 데이터 전송율에 따라 패킷 길이가 달라진다. 따라서 각 단말기는 각 사용자에게 할당된 모든 MAC 색인의 왓시 부호에 대해 복호화하여 에너지를 검출하고 상기 <표 1>의 프리앰블 반복 길이와 비교함으로써 현재 전송되고 있는 패킷의 길이 및 시작 슬롯과 종료 슬롯의 위치를 알 수 있다. DRC 채널은 n번째 슬롯의 첫 번째 파일럿 버스트를 수신한 뒤 n+2번째 슬롯을 위한 DRC 정보를 전송하므로, 패킷의 종료 슬롯의 두 슬롯 전부터 DRC 채널을 전송한다. 또한 시작 슬롯을 받아 패킷의 길이를 알기까지는 한 슬롯이 필요하므로, 시작 슬롯 동안에도 DRC 채널을 전송하게 된다. 따라서 제1 실시 예에서와 같이 제2 실시 예에서도 길이 N 슬롯의 패킷에 대해 DRC 채널이 필요 없는 슬롯의 비율은 $(N-3)/N$ 이 된다.

<47> 도 8은 본 발명의 제2 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면으로, 모든 단말기의 프리앰블을 검출하여 DRC 채널을 제어하는 알고리즘을 나타낸다.

<48> 상기 도 8을 참조하면, 단말기(AT)는 801단계에서 섹터내의 모든 단말기들에 대한 프리앰블을 검출하고, 현재 패킷의 길이를 읽는다. 다음에 802단계에서 단말기는 현재 패킷이 두 슬롯 안에 종료하는지를 검사하여, 두 슬롯 안에 종료하는 경우에는 803단계에서 유효 섹터들의 파일럿 C/I를 각각 측정하고, 804단계에서 가장 큰 C/I과 그 C/I에 해당하는 섹터를 결정한다. 805단계에서 단말기는 상기 결정된 C/I값을 DRC 심볼로 만들고, 806단계에서 상기 만들어진 DRC 심볼을 기지국(AN)으로 송신한다. 상기 802단계에서

현재 패킷이 두 슬롯 안에 종료하지 않는 것으로 판단되는 경우에는 C/I 측정 및 DRC 송신 동작을 생략한다. 즉 803단계 내지 807단계의 동작을 수행하지 않는다.

<49> 807단계에서 패킷이 종료한 것으로 판단되면, 단말기는 다시 801단계로 되돌아가 모든 단말기의 프리앰블을 검출하여 다음 패킷의 길이를 읽는다. 상기 807단계에서 패킷이 종료하지 않은 것으로 판단되는 경우에는 808단계로 진행하여 다음 슬롯을 수신하고, 다음에 802단계로 진행하여 새로 수신한 슬롯에 대해 두 슬롯 안에 현재 패킷이 종료하는지를 검사한 후 803단계 내지 806단계의 동작을 수행하여 DRC를 송신할 것인지 여부를 결정한다.

<50> 도 9는 본 발명의 제2 실시 예에 따른 단말기의 송신기 구조를 보여주는 도면으로, 이 송신기는 모든 단말기의 프리앰블을 검출하여 DRC 채널을 제어하는 것을 특징으로 한다. 상기 도 9에 도시된 구성요소들중 파일럿 채널(Pilot channel), RRI(Reverse Rate Indicator) 채널 및 트래픽 채널(Traffic channel)에 대한 송신기 구조는 전술한 도 6의 구성과 같으므로 하기에서는 본 발명과 관련하는 모든 사용자들로부터의 수신 프리앰블을 사용하여 DRC 심볼을 전송할 것인지를 결정하는 송신기 구조에 대해서만 상세하게 설명하기로 한다.

<51> 상기 도 9를 참조하면, 프리앰블을 수신하면 단말기의 프리앰블 버퍼(Preamble Buffer) 901은 상기 수신 프리앰블을 저장한다. 왈시부호 발생기(Walsh generator) 902는 섹터내의 모든 단말기들의 왈시 부호들을 발생한다. 송산기 903은 상기 버퍼 901에 저장된 수신 프리앰블과 상기 왈시부호 발생기 902에 의해 발생된 섹터내의 모든 단말기들의 왈시 부호들을 송산한다. 누적기(Accumulator) 904는 상기 송산기 903의 송산 결과를 누적하고, 에너지 검출기(Energy detector) 905는 상기 누적기 904에 의한 누적결과

로부터 에너지를 검출한다. 패킷길이 검출기(Packet length detector) 906은 상기 에너지 검출기 905의 출력으로부터 패킷의 길이 정보를 찾아낸다. 패킷의 길이를 알아내면 도 7과 같이 DRC 심볼 전송의 필요한 구간을 알 수 있으므로, DRC 제어기(controller) 907은 DRC 심볼을 입력하여 선택적으로 출력하는 멀티플렉서(MUX) 921을 제어하여 도 7과 같이 DRC 심볼이 선택적으로 전송되도록 한다. 상기 DRC 제어기 907은 멀티플렉서 921을 제어하여 패킷이 종료하기 두 슬롯 전부터만 DRC 심볼을 통과시키고 그 외의 구간에서는 DRC 심볼의 전송이 차단되도록 한다. 즉 패킷의 길이가 3 슬롯 미만일 때는 DRC 심볼은 항상 통과된다.

<52> 실시 예 3

<53> 도 10은 본 발명의 제3 실시 예에 따른 DRC 채널 전송 제어 동작시의 순방향 링크 및 역방향 링크간의 슬롯 송수신 관계를 보여주는 도면이다. 이 실시 예에 따르면, 순방향 채널 사용자의 DRC 채널을 제어한다.

<54> 상기 도 10을 참조하면, 본 발명의 제3 실시 예는 기지국(AN)으로부터 패킷을 전송 받고 있는 단말기(AT0)의 DRC 채널만을 제어하므로, 두 번째 실시 예와는 달리 다른 사용자 프리앰블에 대한 검출기가 필요하지 않다. 현재 순방향 트래픽 채널을 할당받은 단말기(AT0)는 자신의 프리앰블을 검출하면 패킷의 길이 및 시작 슬롯과 종료 슬롯의 위치를 알 수 있다. 또한, 패킷 종료하기 전에 스케줄링을 하는 시점까지 DRC 정보가 필요하지 않은 시간 구간을 알 수 있다. 두 번째 실시 예와 같이 이 제3 실시 예에서도 시작

슬롯 구간과 마지막 두 슬롯에서 DRC 채널을 전송한다.

<55> 도 11은 본 발명의 제3 실시 예에 따른 DRC 채널 전송 제어 동작에 대한 순서도를 보여주는 도면으로, 순방향 트래픽 채널을 수신하는 단말기의 DRC 채널을 제어하는 알고리즘을 나타낸다.

<56> 상기 도 11을 참조하면, 단말기(AT0)는 1101단계에서 기지국(AN)이 송신한 패킷의 프리앰블을 검색하고, 1102단계에서 자신에게 송신된 패킷을 찾는다. 단말기(AT0)로 수신된 패킷이 있으면 1103단계에서 수신된 패킷이 두 슬롯 안에 종료하는지를 검사한다. 상기 1103단계에서 수신된 패킷이 두 슬롯 안에 종료하는 것으로 판단되면, 1104단계에서 유효 섹터들의 파일럿 C/I를 각각 측정하고, 상기 측정 결과에 따라 1105단계에서 가장 큰 C/I와 그 C/I에 해당하는 섹터를 결정하고, 1106단계에서 상기 결정 결과에 따른 C/I값을 DRC 심볼로 만들고, 1107단계에서 상기 만들어진 DRC 심볼을 기지국으로 송신한다. 상기 1103단계에서 현재 패킷이 두 슬롯 안에 종료하지 않은 것으로 판단되면, C/I 측정 및 DRC 송신 동작, 즉 상기 1104단계 내지 1107단계의 동작을 생략한다. 상기 1107단계를 수행한 후 1108단계에서 패킷이 종료하였는지를 판단한다. 상기 1108단계에서 패킷이 종료한 것으로 판단되면, 단말기(AT0)는 다시 1101단계로 되돌아가 프리앰블을 검색하고, 1102단계에서 자신에게 수신된 패킷이 있는지를 확인한다. 상기 1108단계에서 패킷이 종료하지 않은 것으로 판단되면, 1109단계에서 다음 슬롯을 수신한다. 상기 1109단계를 수행한 후에는 1103단계로 되돌아가 새로 수신한 슬롯에 대해 현재 패킷이 두 슬롯 안에 종료하는지를 검사하고 검사 결과에 따라 DRC를 송신할 것인지를 결정한다.

<57> 도 12는 본 발명의 제3 실시 예에 따른 단말기의 송신기의 구조를 보여주는

도면으로, 이 송신기는 순방향 트래픽 채널을 수신하는 단말기의 DRC 채널을 제어하는 것을 특징으로 한다. 상기 도 12에 도시된 구성요소들중 파일럿 채널(Pilot channel), RRI(Reverse Rate Indicator) 채널 및 트래픽 채널(Traffic channel)에 대한 송신기 구조는 전술한 도 6의 구성과 같으므로 하기에서는 본 발명과 관련하는 모든 사용자들로부터의 수신 프리앰블을 사용하여 DRC 심볼을 전송할 것인지를 결정하는 송신기 구조에 대해서만 상세하게 설명하기로 한다.

<58> 상기 도 12를 참조하면, 단말기의 프리앰블 검출기(Preamble detector) 1201은 자신에게 전송된 프리앰블을 검출한다. 패킷길이 검출기(Packet length detector) 1202는 상기 프리앰블 검출기 1201에 의해 검출된 프리앰블을 이용하여 패킷의 길이 정보를 찾아낸다. 패킷의 길이를 알아내면 도 10과 같이 DRC 심볼 전송의 필요한 구간을 알 수 있으므로, DRC 제어기(controller) 1203은 DRC 심볼을 입력하여 선택적으로 출력하는 멀티플렉서(MUX) 1221을 제어하여 DRC 심볼이 선택적으로 전송되도록 한다. 상기 DRC 제어기 1203은 멀티플렉서 1221을 제어하여 패킷이 종료하기 두 슬롯 전부터만 DRC 심볼을 통과시키고 그 외의 구간에서는 DRC 심볼의 전송이 차단되도록 한다. 즉 패킷의 길이가 3 슬롯 미만일 때는 DRC 심볼은 항상 통과된다.

<59> 실시 예 4

<60> 전술한 제1 실시 예와 제2 실시 예에서 전체 사용자의 DRC 채널을 제어하여 간섭 부하를 줄인다. 그러나 DRC 채널은 도 1에서와 같이 64 칩 단위의 TDM 슬롯으로 파일럿

채널 및 RRI 채널과 시분할되어 전송되므로, 전체 사용자의 DRC 채널을 전송하지 않더라도 각 사용자의 파일럿 채널 및 RRI 채널은 같은 시점에 전송되어 파일럿 및 RRI 채널이 전송되는 시점에서는 간섭 부하가 줄어들지 않는다. 따라서 간섭 부하의 균등화를 위해 DRC 채널이 전송되지 않는 구간에서 사용자간 파일럿 채널 및 RRI 채널의 전송 시점을 달리하여 간섭 부하를 균등화하면, DRC 채널을 전송하지 않을 때 생기는 효과를 높일 수 있다. 이를 고려한 것이 본 발명의 제4 실시 예이다.

<61> 도 13은 본 발명의 제4 실시 예에 따라 DRC 채널이 전송되지 않는 구간에서 파일럿 및 RRI 채널의 전송 시점을 보여주는 도면이다.

<62> 상기 도 13을 참조하면, 전체 사용자를 짝수번째 MAC 색인을 할당받은 사용자 집단과 홀수번째 MAC 색인을 할당받은 사용자 집단으로 나누어 파일럿 및 RRI 채널을 전송시점을 다르게 한다. 사용자 집단을 나누는 기준은 본 실시예와 다른 방식을 사용할 수도 있다. 상기 도 13의 (B)에 도시된 바와 같이 홀수 번째 MAC 색인 집단은 홀수 번째 TDM 슬롯에 파일럿과 RRI 채널을 전송한다. 상기 도 13의 (C)에 도시된 바와 같이 짝수번째 MAC 색인 집단은 짝수번째 TDM 슬롯에 파일럿과 RRI 채널을 전송한다. 이와 같이 사용자 집단간 파일럿 및 RRI 채널 전송 시점을 달리하여 간섭 부하를 균등화함으로써 역방향 시스템 용량의 증대에 기여할 수 있다.

<63> 상기 본 발명의 제4 실시 예에 따른 동작은 독립적으로 수행될 수도 있고, 전술한 본 발명의 제1 실시 예, 제2 실시 예 및 제3 실시 예와 연계하여 수행될 수도 있다. 즉, 제1 실시 예와 제4 실시 예의 조합이 가능하고, 제2 실시 예와 제4 실시 예의 조합이 가능하고, 제3 실시 예와 제4 실시 예의 조합이 가능하다.

<64> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발

명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

<65> 상기한 바와 같이 본 발명은 HDR 시스템의 역방향 링크에서 DRC 정보가 필요한 시점에서만 전송하도록 DRC 채널의 전송여부를 제어함으로써 역방향 링크의 간섭 부하를 줄이고, 이에 따라 역방향 시스템 용량이 증대되도록 하는 이점이 있다. 또한 DRC 채널을 전송하지 않는 구간에서는 사용자간 파일럿과 RRI 채널의 전송 시점을 다르게 조정함으로써 간섭 부하를 균등히 하여 DRC 채널을 전송하지 않을 때 생기는 간섭 부하의 감소 효과를 높이는 이점이 있다.

【특허청구범위】**【청구항 1】**

고속 데이터 전송을 위한 통신시스템에서 새로운 패킷의 전송시 각 단말기들을 스케줄링하기 위해 사용되는 전송율 제어(DRC) 정보를 전송하는 방법에 있어서,

기지국이 새로운 패킷을 전송할 시 상기 새로운 패킷의 전송을 나타내는 전송율정보 요청 지시자(DRI)를 상기 새로운 패킷의 전송 전에 전송되던 이전 패킷의 일부 구간에서 단말기로 전송하는 과정과,

상기 단말기가 상기 전송율 정보 요청 지시자에 응답하여 상기 새로운 패킷의 전송을 위한 전송율 제어 정보를 상기 기지국으로 전송하는 상기 방법.

【청구항 2】

제1항에 있어서, 상기 전송율정보 요청 지시자는 상기 이전 패킷의 마지막 슬롯으로부터 미리 설정된 이전의 슬롯 구간에서 전송되는 것을 특징으로 하는 상기 방법.

【청구항 3】

제2항에 있어서, 상기 설정된 이전의 슬롯 구간은 상기 이전 패킷의 마지막 슬롯으로부터 2 슬롯 이전의 구간임을 특징으로 하는 상기 방법.

【청구항 4】

파일럿 채널 신호와, 새로운 패킷을 전송할 때 상기 새로운 패킷의 전송을 나타내

는 전송율정보 요청 지시자(DRI)신호와, 패킷을 수신할 단말기 및 그 패킷의 길이 정보를 나타내는 프리앰블신호를 적어도 입력하고, 패킷의 시작 구간에서 상기 프리앰블을 다중화하고, 매 슬롯 구간에서 상기 파일럿 채널 신호와 상기 전송율정보 요청 지시자를 시분할 다중화하는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 단말기로 송신하는 송신기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 기지국.

【청구항 5】

제4항에 있어서, 상기 전송율정보 요청 지시자는 상기 새로운 패킷의 전송 전에 전송되던 이전 패킷의 마지막 슬롯으로부터 미리 설정된 이전의 슬롯 구간에 전송되는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 기지국.

【청구항 6】

제5항에 있어서, 상기 설정된 이전의 슬롯 구간은 상기 이전 패킷의 마지막 슬롯으로부터 2 슬롯 이전의 구간임을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 기지국.

【청구항 7】

전송율제어(DRC) 정보를 기지국으로부터 수신된 전송율정보 요청 지시자(DRI)에 따라 선택적으로 출력하는 선택기와,

상기 선택기의 출력과, 파일럿 채널 신호와, 역방향 전송을 지시자(RRI)를 시분할 다중화하는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 기지국으로 송신하는 송신기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 8】

기지국과 단말기를 포함하는 고속 데이터 전송을 위한 통신시스템에 있어서:

상기 기지국은;

파일럿 채널 신호와, 새로운 패킷을 전송할 때 상기 새로운 패킷의 전송을 나타내는 전송을정보 요청 지시자(DRI)신호와, 패킷을 수신할 단말기 및 그 패킷의 길이 정보를 나타내는 프리앰블신호를 적어도 입력하고, 패킷의 시작 구간에서 상기 프리앰블을 다중화하고, 매 슬롯 구간에서 상기 파일럿 채널 신호와 상기 전송을정보 요청 지시자를 시분할 다중화하는 제 1 시분할 다중화기와,

상기 제1 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 단말기로 송신하는 제1 송신기를 포함하고,

상기 단말기는;

전송을제어 (DRC) 정보를 상기 기지국으로부터 수신된 전송을정보 요청 지시자 (DRI)에 따라 선택적으로 출력하는 선택기와,

상기 선택기의 출력과, 파일럿 채널 신호와, 역방향 전송을 지시자(RRI)를 시분할 다중화하는 제2 시분할 다중화기와,

상기 제2 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 기지국으로 송신하는 제2 송신기를 포함함을 특징으로 하는 상기 통신시스템.

【청구항 9】

제8항에 있어서, 상기 전송율정보 요청 지시자는 상기 새로운 패킷의 전송 전에 전송되던 이전 패킷의 마지막 슬롯으로부터 미리 설정된 이전의 슬롯 구간에 전송되는 것을 특징으로 하는 상기 통신시스템.

【청구항 10】

제9항에 있어서, 상기 설정된 이전의 슬롯 구간은 상기 이전 패킷의 마지막 슬롯으로부터 2 슬롯 이전의 구간임을 특징으로 하는 상기 통신시스템.

【청구항 11】

고속 데이터 전송을 위한 통신시스템에서 새로운 패킷의 전송시 각 단말기들을 스케줄링하기 위해 사용되는 전송율 제어(DRC) 정보를 전송하는 방법에 있어서,

모든 단말기들에 대한 프리앰블들을 수신하고, 상기 수신 프리앰블들로부터 현재 전송되던 패킷의 길이를 검출하는 과정과,

상기 검출결과로부터 상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료되는 경우 상기 전송율 제어(DRC) 정보를 기지국으로 전송하는 과정과,

상기 검출결과로부터 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간내에서 종료

되지 않는 경우 상기 전송율 제어 정보의 상기 기지국으로의 전송을 차단하는 과정을 포함함을 특징으로 하는 상기 방법.

【청구항 12】

제11항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 상기 방법.

【청구항 13】

프리앰블을 수신하여 모든 단말기의 직교부호에 대해 승산하는 승산기와,
상기 승산기에 의한 승산 결과를 누적하는 누적기와,
상기 누적기에 의한 누적 결과에 대한 에너지값을 검출하는 에너지 검출기와,
상기 검출된 에너지값으로부터 현재 전송되는 패킷의 길이 정보를 검출하는 패킷 길이 검출기와,
전송율제어(DRC) 정보를 선택적으로 출력하는 선택기와,
상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료하는지 여부에 따라 상기 선택기를 제어하여 상기 전송율제어 정보의 전송을 제어하는 제어기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 14】

제13항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간 내에서 종료되는 경우 상기 전송율제어 정보가 전송되도록 상기 선택기를 제어하는 것을

특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 15】

제13항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간 내에서 종료되지 않는 경우 상기 전송율제어 정보의 전송이 차단되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 16】

제13항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 17】

고속 데이터 전송을 위한 통신시스템에서 새로운 패킷의 전송시 각 단말기들을 스케줄링하기 위해 사용되는 전송율 제어(DRC) 정보를 전송하는 방법에 있어서,

단말기 자신에게 전송된 프리앰블들을 수신하고, 상기 수신 프리앰블들로부터 현재 전송되던 패킷의 길이를 검출하는 과정과,

상기 검출결과로부터 상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료되는 경우 상기 전송율 제어(DRC) 정보를 기지국으로 전송하는 과정과,

상기 검출결과로부터 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간내에서 종료되지 않는 경우 상기 전송율 제어 정보의 상기 기지국으로의 전송을 차단하는 과정을 포

함함을 특징으로 하는 상기 방법.

【청구항 18】

제17항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 상기 방법.

【청구항 19】

단말기 자신에게 전송된 프리앰블들을 수신하고, 현재 전송되는 패킷의 길이 정보를 검출하는 패킷 길이 검출기와,

전송율제어 (DRC) 정보를 선택적으로 출력하는 선택기와,

상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료하는지 여부에 따라 상기 선택기를 제어하여 상기 전송율제어 정보의 전송을 제어하는 제어기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 20】

제19항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간내에서 종료되는 경우 상기 전송율제어 정보가 전송되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 21】

제19항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간

내에서 종료되지 않는 경우 상기 전송율제어 정보의 전송이 차단되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 22】

제19항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 23】

파일럿채널 신호와 역방향 전송을 지시자(RRI)를 입력하는 과정과,

상기 파일럿채널 신호와 상기 역방향 전송을 지시자를 서로 다른 시점에서 시분할 다중화하여 기지국으로 전송하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기에서의 전송 방법.

【청구항 24】

파일럿채널 신호와 역방향 전송을 지시자(RRI)를 입력하고, 상기 파일럿채널 신호와 상기 역방향 전송을 지시자를 서로 다른 시점에서 시분할 다중화하는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 기지국으로 전송하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 25】

전송율제어(DRC) 정보를 기지국으로부터 수신된 전송율정보 요청 지시자(DRI)에 따라 선택적으로 출력하는 선택기와,

상기 선택기의 출력과, 상기 파일럿 채널 신호와, 상기 역방향 전송율 지시자(RRI)를 시분할 다중화하고, 상기 파일럿 채널 신호와 상기 역방향 전송율 지시자는 서로 다른 시점에서 시분할 다중화되는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 기지국으로 송신하는 송신기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 26】

프리앰블을 수신하여 모든 단말기의 직교부호에 대해 승산하는 승산기와,

상기 승산기에 의한 승산 결과를 누적하는 누적기와,

상기 누적기에 의한 누적 결과에 대한 에너지값을 검출하는 에너지 검출기와,

상기 검출된 에너지값으로부터 현재 전송되는 패킷의 길이 정보를 검출하는 패킷 길이 검출기와,

전송율제어(DRC) 정보를 선택적으로 출력하는 선택기와,

상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료하는지 여부에 따라 상기 선택기를 제어하여 상기 전송율제어 정보의 전송을 제어하는 제어기와,

상기 선택기의 출력과, 상기 파일럿 채널 신호와, 상기 역방향 전송율 지시자(RRI)를 시분할 다중화하고, 상기 파일럿 채널 신호와 상기 역방향 전송율 지시자는 서로

로 다른 시점에서 시분할 다중화되는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 기지국으로 송신하는 송신기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 27】

제26항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간 내에서 종료되는 경우 상기 전송율제어 정보가 전송되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 28】

제26항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간 내에서 종료되지 않는 경우 상기 전송율제어 정보의 전송이 차단되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 29】

제26항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 30】

단말기 자신에게 전송된 프리앰블들을 수신하고, 현재 전송되는 패킷의 길이 정보를 검출하는 패킷 길이 검출기와,

전송율제어 (DRC) 정보를 선택적으로 출력하는 선택기와,

상기 현재 패킷의 전송이 미리 설정된 슬롯 구간내에서 종료하는지 여부에 따라 상기 선택기를 제어하여 상기 전송율제어 정보의 전송을 제어하는 제어기와,

상기 선택기의 출력과, 상기 파일럿 채널 신호와, 상기 역방향 전송율 지시자 (RRI)를 시분할 다중화하고, 상기 파일럿 채널 신호와 상기 역방향 전송율 지시자는 서로 다른 시점에서 시분할 다중화되는 시분할 다중화기와,

상기 시분할 다중화기에 의해 시분할 다중화된 출력을 상기 기지국으로 송신하는 송신기를 포함함을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 31】

제30항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간 내에서 종료되는 경우 상기 전송율제어 정보가 전송되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 32】

제30항에 있어서, 상기 제어기는, 상기 현재 패킷의 전송이 상기 설정된 슬롯 구간

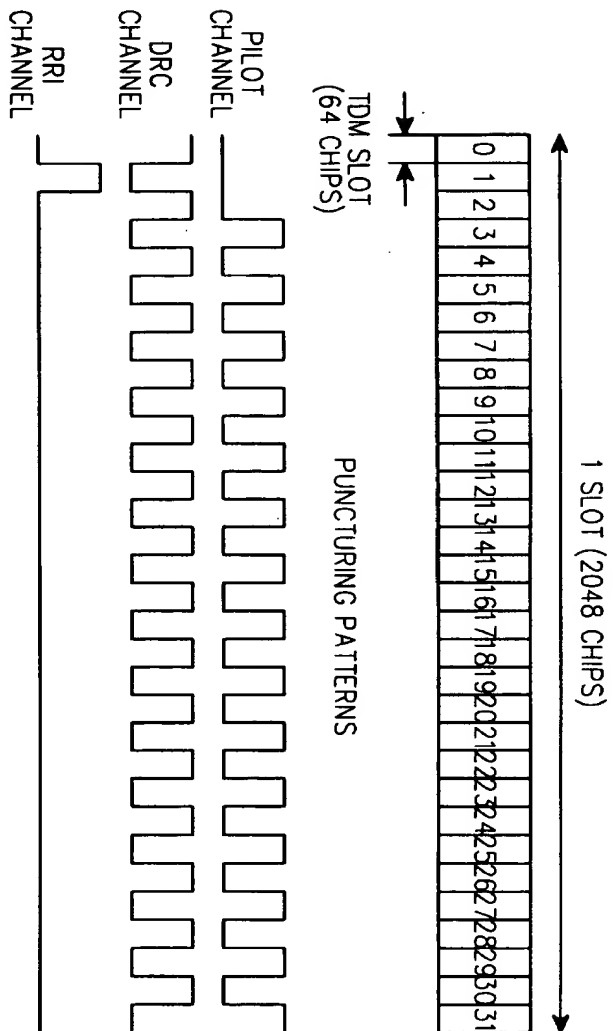
내에서 종료되지 않는 경우 상기 전송율제어 정보의 전송이 차단되도록 상기 선택기를 제어하는 것을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【청구항 33】

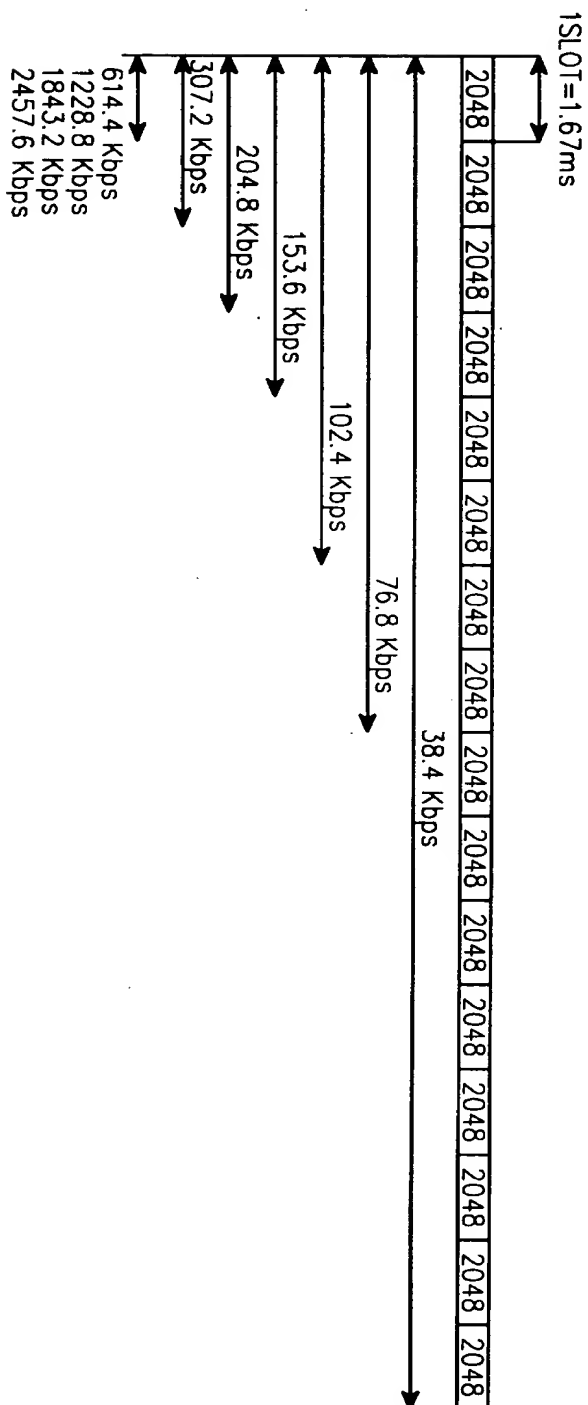
제30항에 있어서, 상기 설정된 슬롯 구간은 2슬롯임을 특징으로 하는 고속 데이터 전송을 위한 통신시스템의 단말기.

【도면】

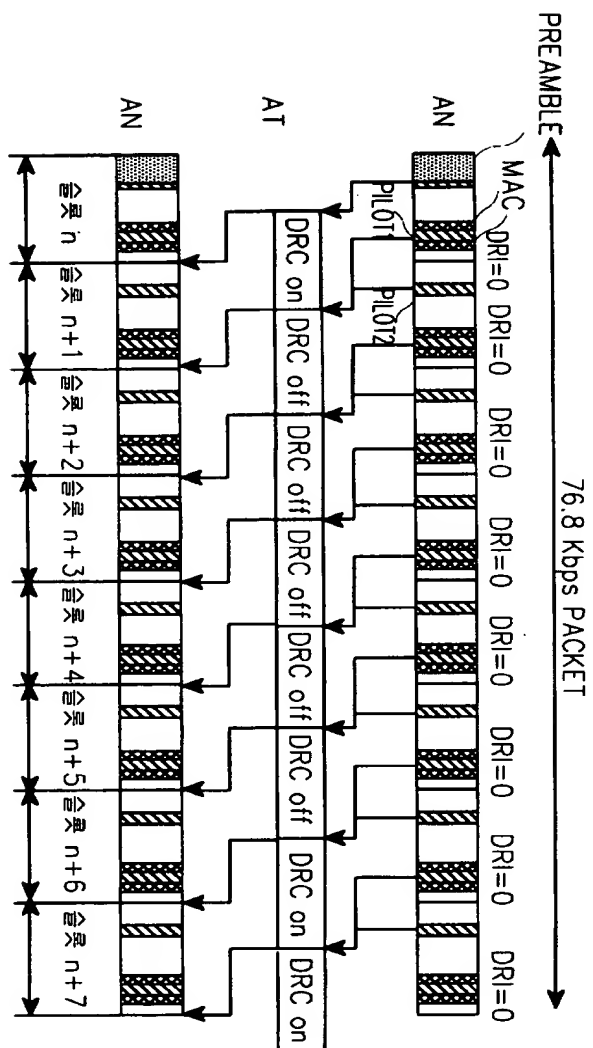
【 1】





【 2 】

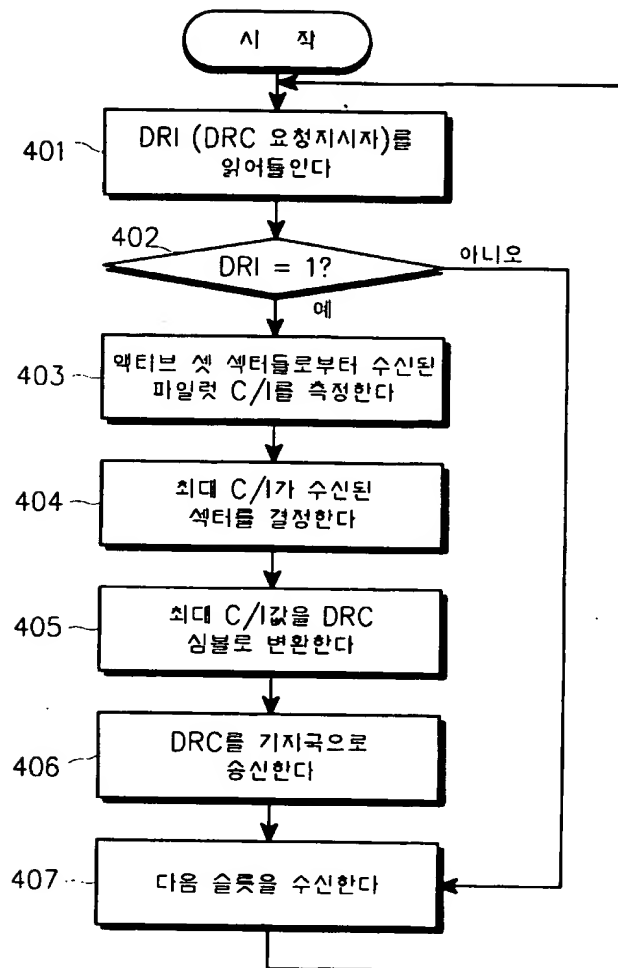


【图 3】

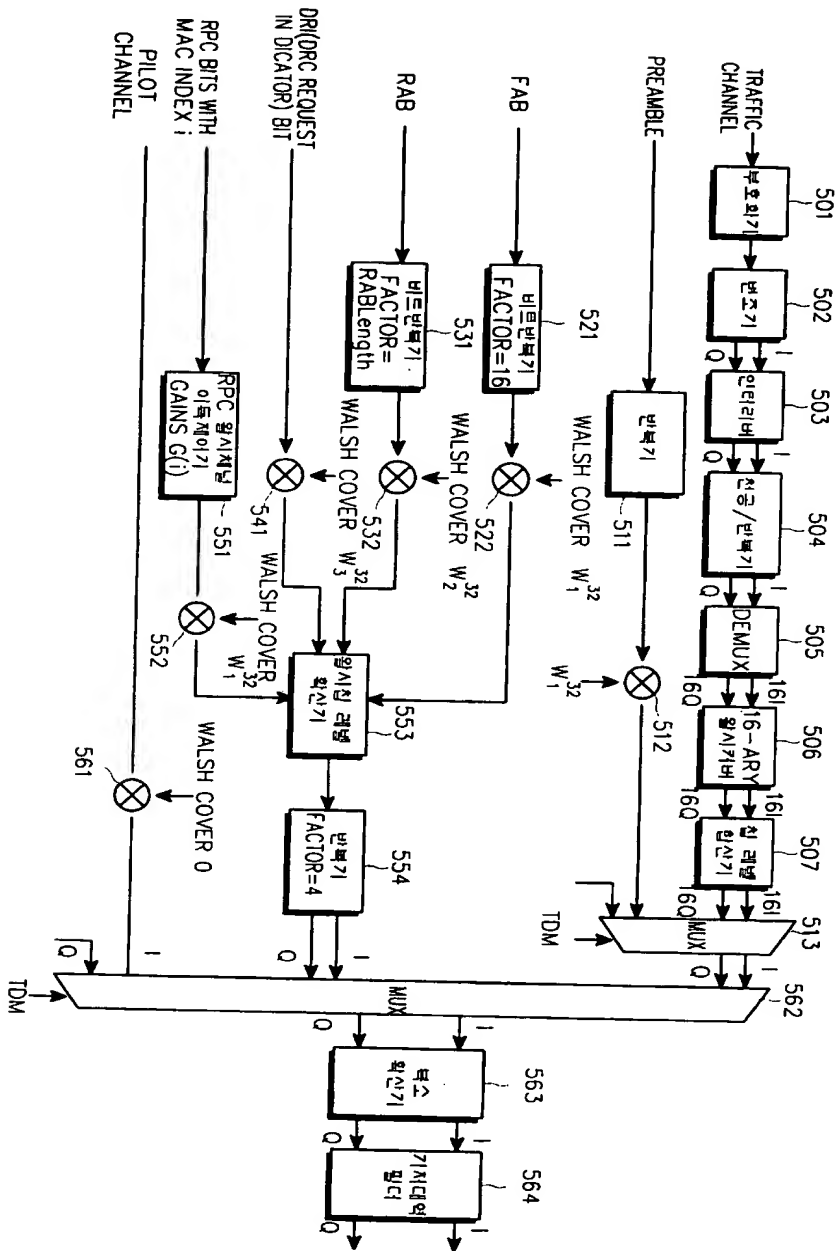


 : PILOT
 : MAC (DRI 포함)

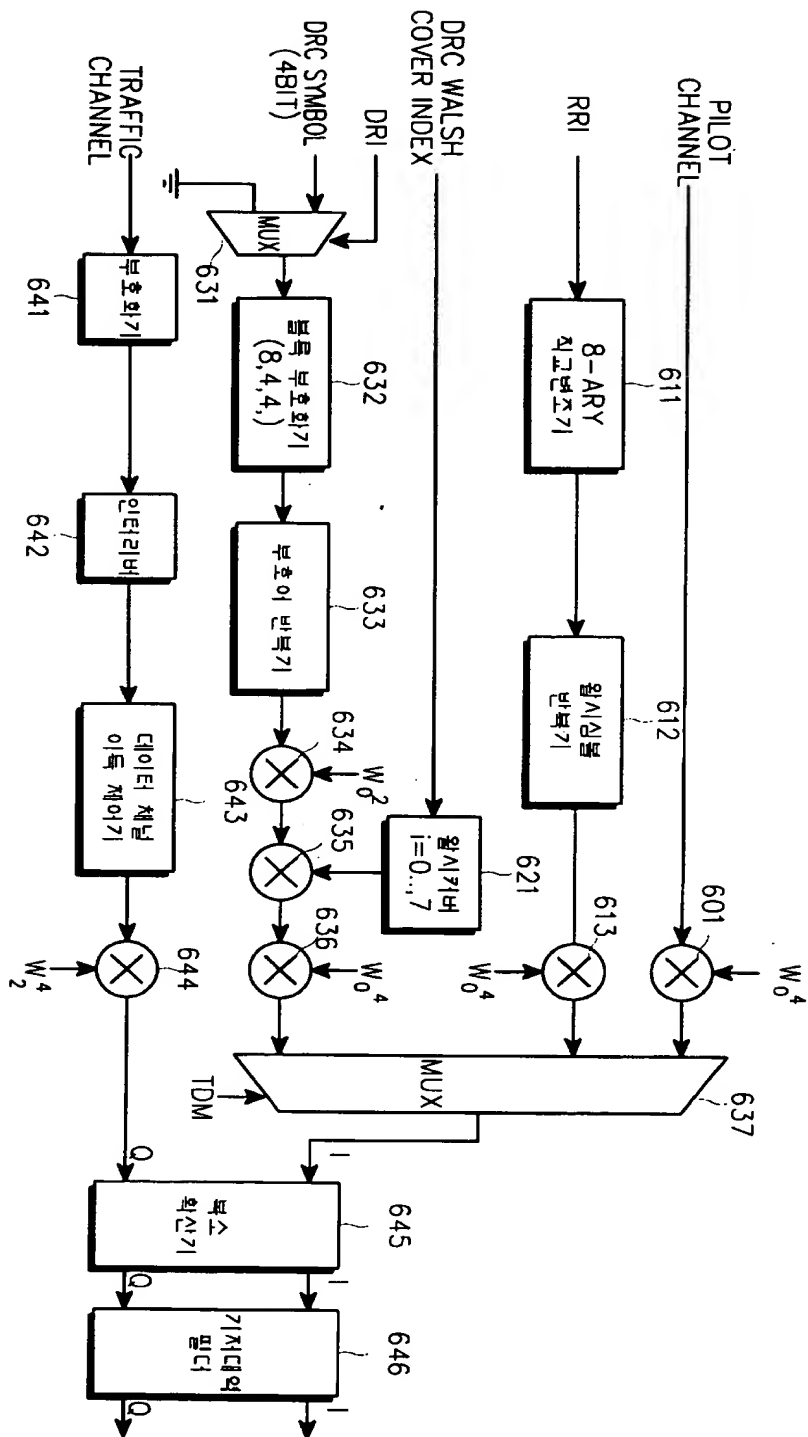
【도 4】



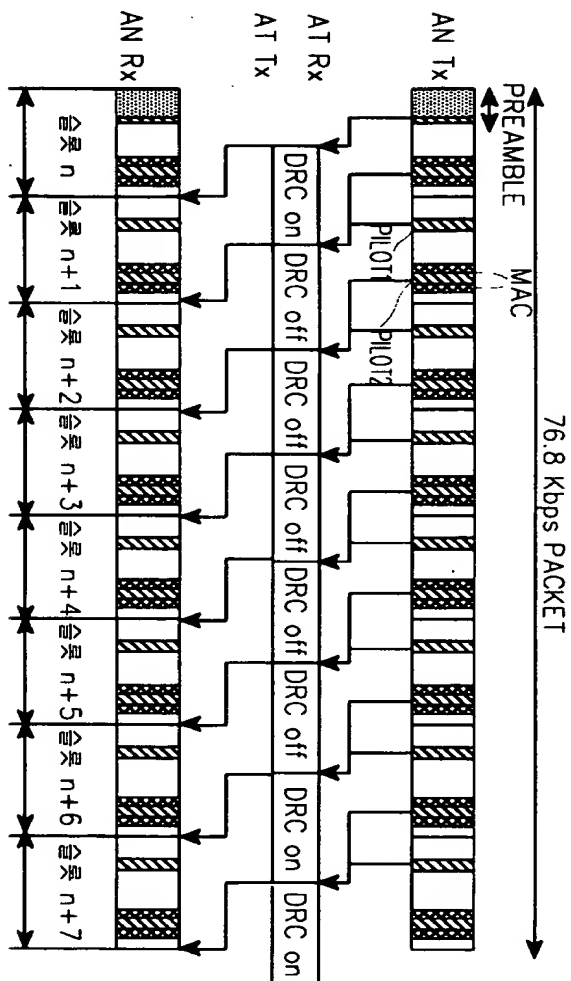
【지 5】



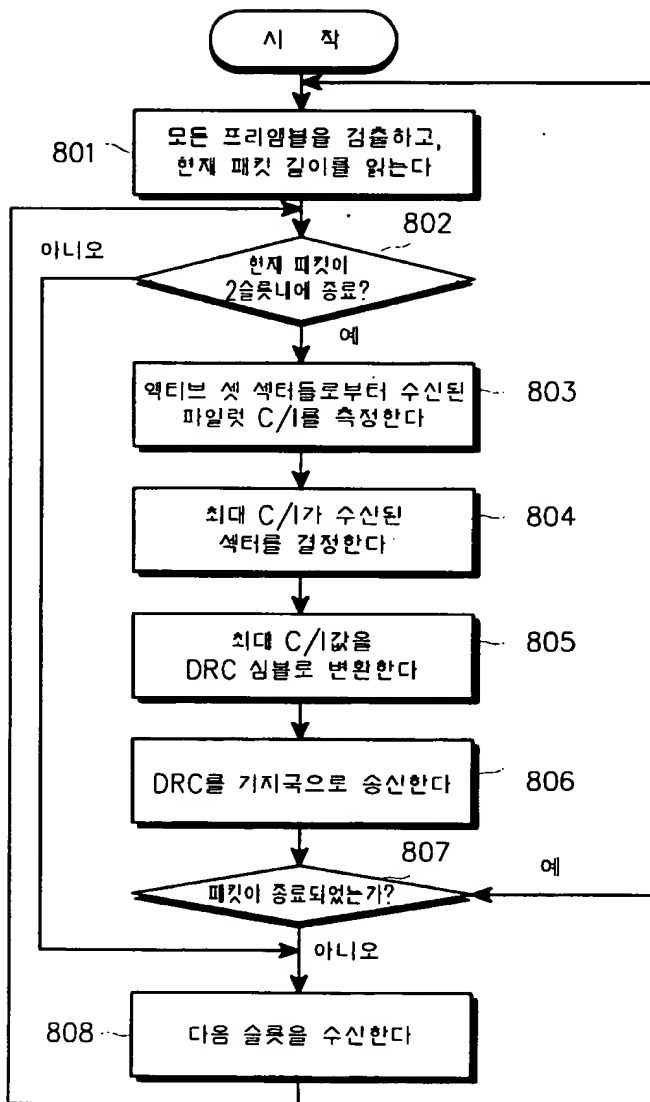
【나 6】



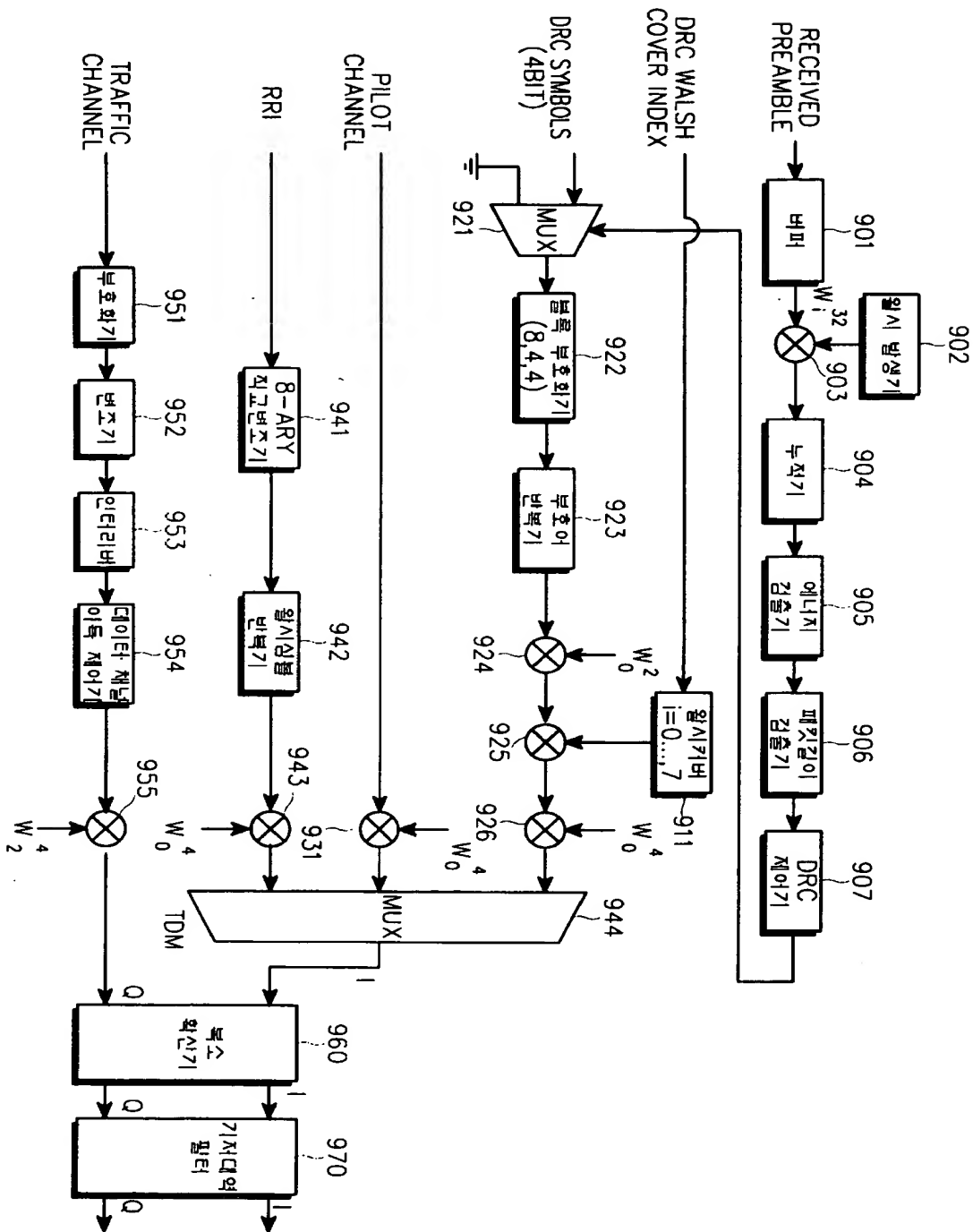
【도 7】



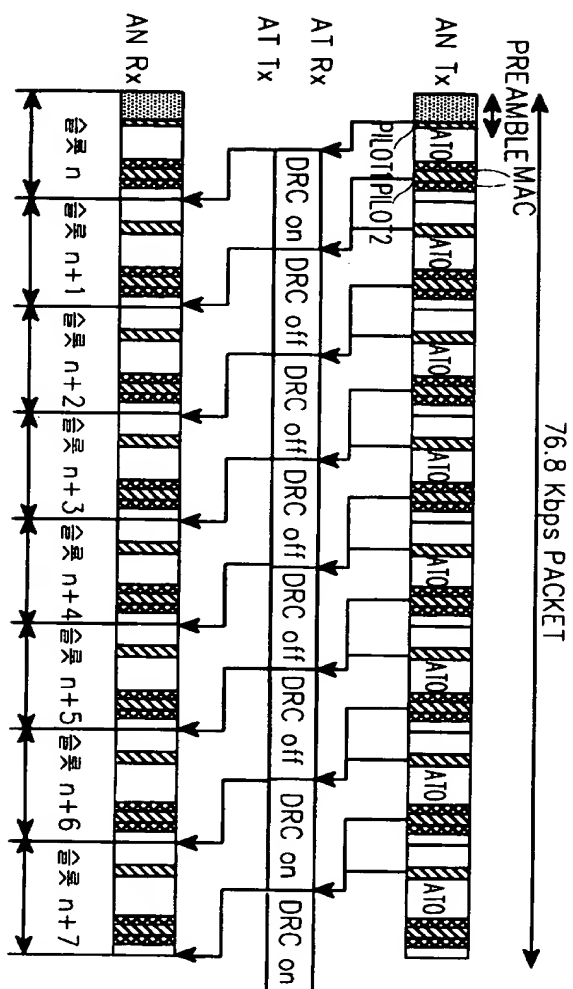
【도 8】



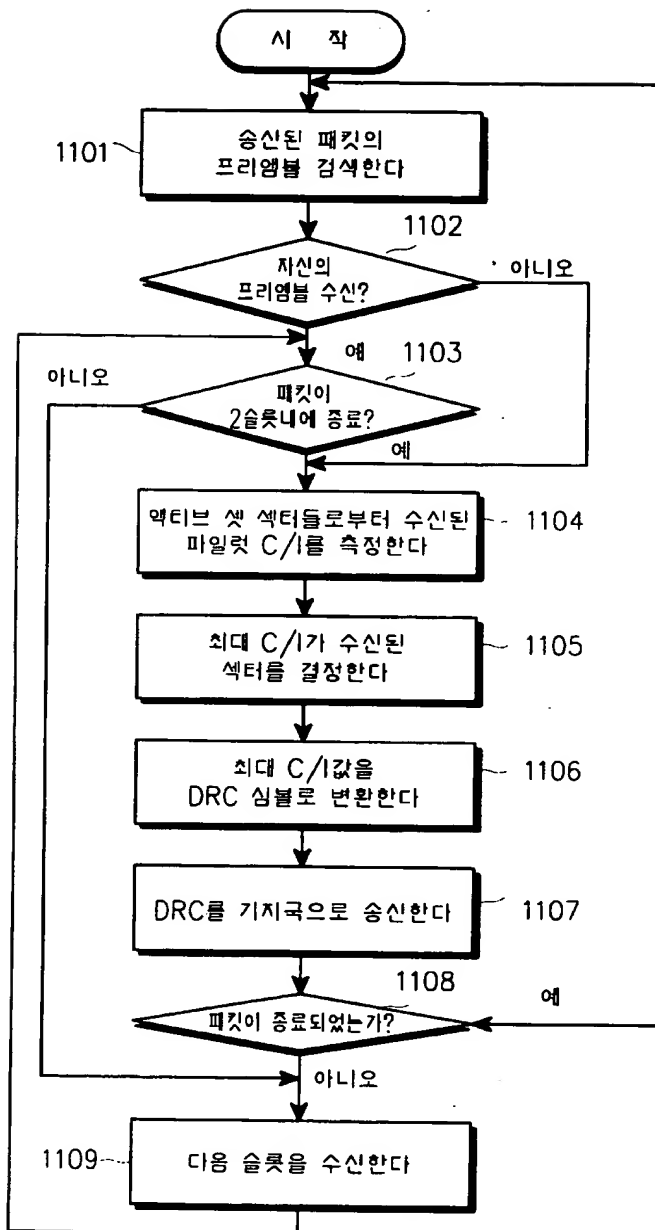
【도 9】



【图 10】



【도 11】



【图 13】

